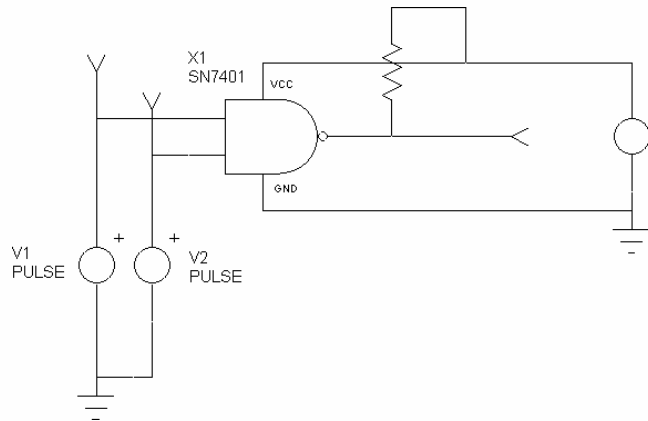


## Simularea circuitelor cu porți logice TTL

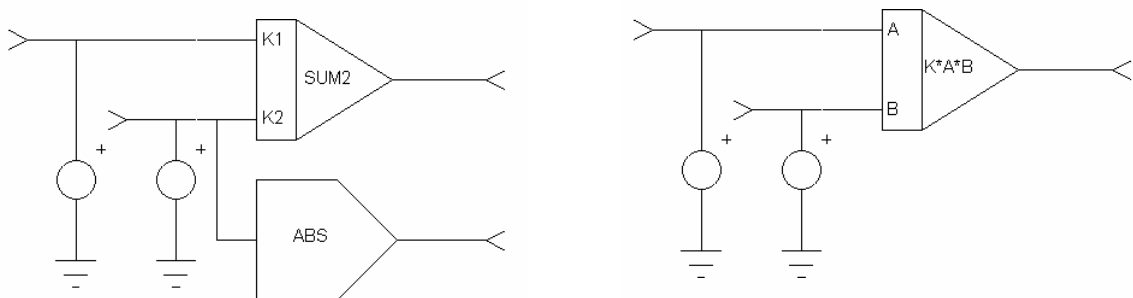
1. Se dă circuitul din figura de mai jos:



**Se cer:**

- Să se determine formele de undă necesare pentru V1 și V2 pentru a putea verifica toate combinațiile logice posibile la intrarea porții X1. Să se realizeze simularea tranzitorie pentru circuitul din figură.
- Să se modifice circuitul în așa fel încât să se poată determina pragurile pentru nivelele logice "0" și "1".

2. Se dau circuitele din figura de mai jos:



**Se cer:**

- Să se simuleze circuitele de mai sus și să se verifice funcționarea blocurilor pentru diferite semnale de intrare (se vor modifica și conexiunile pentru a putea simula diverse cazuri particulare);
- Se vor simula și alte blocuri funcționale prezente în biblioteca ISpice (se vor nota rezultatele precum și sintaxa).